

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 5日

出 願 番 号

Application Number:

特願2003-058792

[ST.10/C]:

[JP2003-058792]

出 願 人

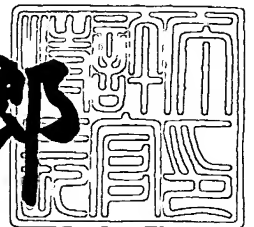
Applicant(s):

新光電気工業株式会社

2003年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051187

【書類名】 特許願

【整理番号】 1033164

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H05K 1/16
H05K 3/46

【発明の名称】 半導体パッケージとその製造方法および半導体装置

【請求項の数】 9

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 清水 規良

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 六川 昭雄

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 飯島 隆廣

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【先の出願に基づく優先権主張】

【出願番号】 特願2002-247487

【出願日】 平成14年 8月27日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージとその製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージにおいて、

多層配線構造の最上部積層構造にキャパシタ構造を含み、該キャパシタ構造は、誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、かつ上部電極および下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを含むことを特徴とする半導体パッケージ。

【請求項 2】 絶縁性基板の上下両面にそれぞれ多層配線構造を備え、上面側多層配線構造の上面に半導体素子を搭載するための半導体パッケージにおいて、

上面側多層配線構造にキャパシタ構造を含み、該キャパシタ構造は誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、該上面側多層配線構造の最上層は、該キャパシタ構造と平面図上で重なる領域内に、該キャパシタ構造の上部電極および下部電極と上記半導体素子の電極とを接続するための素子接続用パッドを含むことを特徴とする半導体パッケージ。

【請求項 3】 上面側多層配線構造に、積層された複数のキャパシタ構造を含むことを特徴とする請求項 2 記載の半導体パッケージ。

【請求項 4】 上記無機フィラーがペロブスカイト構造を有するセラミックの粉末であることを特徴とする請求項 1 から 3 までのいずれか 1 項記載の半導体パッケージ。

【請求項 5】 上記絶縁性樹脂がポリイミド樹脂であることを特徴とする請求項 1 から 4 までのいずれか 1 項記載の半導体パッケージ。

【請求項 6】 請求項 1 から 5 までのいずれか 1 項記載の半導体パッケージの上記素子接続用パッドに半導体素子の電極を直接接続したことを特徴とする半導体装置。

【請求項 7】 多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージの製造方法において、

上記多層配線構造の最上部積層構造にキャパシタ構造を形成する工程を含み、このキャパシタ構造形成工程が、下記の処理：

上記最上部積層構造の最下層に、該キャパシタ構造の下部電極としての導体層を形成する処理、

該下部電極上に、高誘電率の無機フィラーと絶縁性樹脂とがコロイド状に分散した電解液を用いた電着法により、該キャパシタ構造の誘電体層として該無機フィラーと該絶縁性樹脂との混合電着層を形成する処理、

該誘電体層上に、該キャパシタ構造の上部電極としての導体層を形成する処理、および

該キャパシタ構造内に、上記上部電極および上記下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを形成する処理、を含むことを特徴とする半導体パッケージの製造方法。

【請求項 8】 絶縁性基板の上下両面にそれぞれ多層配線構造を備え、上面側多層配線構造の上面に半導体素子を搭載するための半導体パッケージの製造方法において、

上面側多層配線構造にキャパシタ構造を形成する工程を含み、このキャパシタ構造形成工程が、下記の処理：

該キャパシタ構造の下部電極としての導体層を形成する処理、

該下部電極上に、高誘電率の無機フィラーと絶縁性樹脂とがコロイド状に分散した電解液を用いた電着法により、該キャパシタ構造の誘電体層として該無機フィラーと該絶縁性樹脂との混合電着層を形成する処理、

該誘電体層上に、該キャパシタ構造の上部電極としての導体層を形成する処理、および

該上面側多層配線構造の最上層の、該キャパシタ構造と平面図上で重なる領域に、上記上部電極および上記下部電極と上記半導体素子の電極とを接続するための素子接続用パッドを形成する処理、

を含むことを特徴とする半導体パッケージの製造方法。

【請求項 9】 上記キャパシタ構造を複数層積層して形成する工程を含むことを特徴とする請求項 8 記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子（半導体チップ）を搭載するためのパッケージすなわち半導体パッケージとその製造方法、およびこの半導体パッケージに半導体素子を搭載した半導体装置に関する。

【0002】

【従来の技術】

半導体装置は多くの用途において高密度化が進められており、それに応じて配線パターン同士を近接させて設ける際に、配線間のクロストークノイズや電源ライン等の電位変動を防止することが重要である。特に、高速のスイッチング動作が要求される高周波用の半導体素子を搭載する半導体パッケージの場合は、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速でオン／オフすることによってスイッチングノイズも発生し、これによって電源ライン等の電位が変動し易くなる。

【0003】

従来、このような問題を解消する手段として、信号ラインや電源ラインでの回路間の不要な結合を解除（デカップリング）するためのバイパスコンデンサとして、半導体パッケージに別個のチップキャパシタ等の容量素子を搭載していた。

【0004】

しかし、上記従来の方法には、下記の点で問題があった。

【0005】

まず、別個のチップキャパシタ等の搭載に伴い配線パターンの設計自由度が低下する。

【0006】

更に、チップキャパシタと半導体素子の電極とを接続する配線距離が長いとインダクタンスが大きくなり、チップキャパシタによるデカップリング効果が十分に得られなくなる。したがって、チップキャパシタ等は半導体素子にできるだけ近接させて搭載することが必要である。しかし、チップキャパシタ等のサイズに

よって搭載位置も制限されるため、半導体素子との近接配置にも限界があった。

【 0 0 0 7 】

また、チップキャパシタ等の容量素子を半導体パッケージに搭載すると、パッケージが大型化・重量化することが避けられず、現在の趨勢である小型化・軽量化に逆行してしまう。この点についても、チップキャパシタ等の小型化による対処では限界があった。

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明は、上記従来の問題点を解消して、配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージとその製造方法、およびこの半導体パッケージを用いた半導体装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記の目的を達成するために、第 1 発明の半導体パッケージは、多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージにおいて、

多層配線構造の最上部積層構造としてキャパシタ構造を備え、該キャパシタ構造は、誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、かつ上部電極および下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを含むことを特徴とする。

【 0 0 1 0 】

また、第 2 発明の半導体パッケージは、絶縁性基板の上下両面にそれぞれ多層配線構造を備え、上面側多層配線構造の上面に半導体素子を搭載するための半導体パッケージにおいて、

上面側多層配線構造にキャパシタ構造を含み、該キャパシタ構造は誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、該上面側多層配線構造の最上層は、該キャパシタ構造と平面図上で重なる領域内に、該キャパシタ構造の上部電極および下部電極と上記半導体素子の電極とを接続するための素子接続用パッドを含むことを特徴とする。この場合、上面側多層配線構造に、積

層された複数のキャパシタ構造を含むことができる。

【 0 0 1 1 】

高誘電率の無機フィラーとしては、ペロブスカイト構造を有するセラミックの粉末を用いることが最も有利である。

【 0 0 1 2 】

絶縁性樹脂としては、ポリイミド樹脂を用いることが最も有利である。

【 0 0 1 3 】

第 1 発明の半導体パッケージを製造する方法は、多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージの製造方法において、

上記多層配線構造の最上部積層構造としてキャパシタ構造を形成する工程を含み、このキャパシタ構造形成工程が、下記の処理：

上記最上部積層構造の最下層に、該キャパシタ構造の下部電極としての導体層を形成する処理、

該下部電極上に、高誘電率の無機フィラーと絶縁性樹脂とがコロイド状に分散した電解液を用いた電着法により、該キャパシタ構造の誘電体層として該無機フィラーと該絶縁性樹脂との混合層を形成する処理、

該誘電体層上に、該キャパシタ構造の上部電極としての導体層を形成する処理、および

該キャパシタ構造内に、上記上部電極および上記下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを形成する処理、を含むことを特徴とする。

【 0 0 1 4 】

また、第 2 発明の半導体パッケージの製造する方法は、絶縁性基板の上下両面にそれぞれ多層配線構造を備え、上面側多層配線構造の上面に半導体素子を搭載するための半導体パッケージの製造方法において、

上面側多層配線構造にキャパシタ構造を形成する工程を含み、このキャパシタ構造形成工程が、下記の処理：

該キャパシタ構造の下部電極としての導体層を形成する処理、

該下部電極上に、高誘電率の無機フィラーと絶縁性樹脂とがコロイド状に分

散した電解液を用いた電着法により、該キャパシタ構造の誘電体層として該無機フィラーと該絶縁性樹脂との混合電着層を形成する処理、

該誘電体層上に、該キャパシタ構造の上部電極としての導体層を形成する処理、および

該上面側多層配線構造の最上層の、該キャパシタ構造と平面図上で重なる領域に、上記上部電極および上記下部電極と上記半導体素子の電極とを接続するための素子接続用パッドを形成する処理、

を含むことを特徴とする。この場合、上記キャパシタ構造を複数層積層して形成する工程を含むことができる。

【 0 0 1 5 】

本発明は更に、第 1 または第 2 発明の半導体パッケージに半導体素子を搭載した半導体装置をも提供する。

【 0 0 1 6 】

【発明の実施の形態】

〔実施形態 1〕

図 1 に、第 1 発明による半導体パッケージ 1 0 上に半導体素子（半導体チップ） 2 0 を搭載して構成した本発明による半導体装置 3 0 の部分断面図を示す。

【 0 0 1 7 】

第 1 発明による半導体パッケージ 1 0 は、絶縁性基板 1 2 の上面に積層された多層配線構造 1 4、絶縁性基板 1 2 の下面に形成された下面配線構造 1 6、および絶縁性基板 1 2 を貫通して多層配線構造 1 4 の最下層 d と下面配線構造 1 6 の最上層 e とを電氣的に接続するスルーホール 1 8 を備えている。

【 0 0 1 8 】

下面配線構造 1 6 は、2 層の配線層 e、f が間に絶縁層 L を介して積層された構造である。最下層の配線層 f の所定箇所は外部接続用パッド f P として形成されており、はんだ 1 5 により外部接続端子（ピン） 1 3 が接合されている。図示した 4 本のピン 1 3 は、例えば左端の 1 本が接地端子（G R）、中央の 2 本が信号端子（S）、右端の 1 本が電源端子（P）である。下面配線構造 1 6 の下面は、はんだ 1 5 の位置を除いて、ソルダレジスト 1 1 によって覆われている。

【 0 0 1 9 】

多層配線構造 1 4 は、4 層の配線層 a、b、c、d が間に下記誘電体層 Y または絶縁層 M、N を介して積層されている。各配線層 a ～ b は、必要箇所において、誘電体層 Y または絶縁層 M、N を貫通するビア V により電氣的に接続されている。

【 0 0 2 0 】

第 1 発明の特徴として、多層配線構造 1 4 はその最上部がキャパシタ構造 X として形成されている。キャパシタ構造 X は、配線層 a から成る上部電極層、誘電体層 Y、配線層 b から成る下部電極層で構成されている。誘電体層 Y は高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成る。上部電極層 a の所定箇所は素子接続用パッド a P として形成されており、はんだ 1 7 により半導体素子 2 0 の電極バンプ 2 2 に直接接続されている。すなわち、はんだペーストをスクリーン印刷により塗布したり、はんだボールを搭載したりしてはんだ 1 7 を設け、このはんだ 1 7 を溶融させ、半導体素子 2 0 の電極バンプ 2 2 に接続する。電極バンプ 2 2 は半導体素子 2 0 の電極にはんだにより直接形成してあり、電極と実質的に一体である。また、図示の制約のため図 1 には示していないが、次に説明するように、上部電極層 a を構成する配線層の他の所定箇所には、周囲から絶縁区画された配線層領域が下部電極 b のための素子接続用パッド b P として形成されており、他の配線経路を介さずに、半導体素子 2 0 の他の電極バンプ 2 2 と直接接続されている。上部電極 a の上面は、はんだ 1 7 の位置を除いて、ソルダレジスト 1 9 によって覆われている。

【 0 0 2 1 】

図 2 の模式的分解図を参照して、半導体装置 3 0 におけるキャパシタ X と半導体チップ 2 0 との接続関係の一形態を説明する。図 2 には、上から順に、半導体チップ 2 0、ソルダレジスト層 1 9、上部電極層 a、誘電体層 Y、下部電極層 b を示してある。この例では、上部電極層 a が電源層、下部電極層 b が接地層となる。ただし、これに限定する必要はなく、上部電極層 a を接地層とし、下部電極層 b を電源層としてもよい。半導体素子 2 0 は実際には多数の電極バンプ 2 2 を備えているが、図示の便宜上 4 個の電極バンプのみを示した。このうち、図中左

から 2 番目（半導体チップ 2 0 の中央）の電極バンプ 2 2 は、一点鎖線で示すように、ソルダレジスト層 1 9 の開口 1 9 h 内のはんだバンプ 1 7 により、キャパシタ X の上部電極 a の素子接続用パッド a P に直接接続されている。半導体素子 2 0 のその他の電極バンプ 2 2 は、それぞれ破線で示すように、上部電極層 a 内に環状絶縁層 T で周囲の上部電極層 a から絶縁区画された各素子接続用パッド b P に直接接続されている。これらの絶縁区画された素子接続用パッド b P は、誘電体層 Y 内に島状に設けた導体層 R を介して、下部電極層 b の各接続部位 b P' に接続されている。

【 0 0 2 2 】

すなわち、パッケージ 1 0 上に搭載された半導体チップ 2 0 の各電極バンプ 2 2 と、その直下に形成されているキャパシタ X の素子接続用パッド a P および b P とが、両者の外部の配線経路を経由せずに直接接続されている。

【 0 0 2 3 】

このように、第 1 発明の半導体パッケージおよびそれを用いた本発明の半導体装置は、半導体パッケージ 1 0 に内装されたキャパシタ X と、パッケージ 1 0 上に搭載された半導体チップ 2 0 とが直接接続される構造を備えていることにより、半導体チップ 2 0 とキャパシタ X との接続距離が最小化される。

【 0 0 2 4 】

これにより、半導体チップ 2 0 とキャパシタ X との配線に起因するインダクタンスの増大は実質的に発生せず、キャパシタ X による本来のデカップリング効果を十分に得ることができる。

【 0 0 2 5 】

また、キャパシタ X の誘電体層 Y は、高誘電率の無機フィラーと絶縁性樹脂との混合電着層で構成したことにより、 $10\mu\text{m}$ 以下の極めて薄い層として形成できるので、キャパシタ X が全体として極めて薄い構造としてパッケージ 1 0 内に内装できるため、配線パターンの設計自由度に対して実質的に影響せず、同時に、パッケージの小型化・軽量化を妨げない。

【 0 0 2 6 】

次に、図 3 ～ 1 1 を参照して、第 1 発明の一実施形態により半導体パッケージ

10 および半導体装置 30 を製造する工程を説明する。各図は各工程における処理により得られる構造の断面図である。

【0027】

〔工程 1〕 基板の準備、スルーホールの形成（図 3）

絶縁性コア材 12 の両面に銅箔 g を張り付けた両面銅張り積層板に、ドリル加工またはレーザ加工によりスルーホール 18' を開口する。用いる積層板としては、例えば FR-4 相当のもの等、ガラス布に絶縁性樹脂（エポキシ樹脂、ポリイミド樹脂、BT 樹脂、PPE 樹脂等）を含浸させたものを用いる。

【0028】

〔工程 2〕 配線層の形成、スルーホールの充填（図 4）

銅の無電解めっきまたはスパッタによりスルーホール 18' の内壁および銅箔 g の全面に給電用導体薄層を形成した後、銅の電解めっきによりスルーホール 18' を導体で充填すると共に両面の銅箔 g 上に導体層を形成した後、両面の銅箔および導体層と一緒にパターンニングする。これにより、絶縁性基板 12 の上面および下面にそれぞれ配線層 d および e が形成され、導体で充填されたスルーホール 18 により上下両面の配線層 d / e 間が電氣的に接続された図示の構造が得られる。

【0029】

〔工程 3〕 絶縁層の形成（図 5）

図 4 の構造の上下両面に、ポリイミド樹脂、エポキシ樹脂等の樹脂を塗布するか、これらの樹脂のシートを積層貼着することにより、配線層間を絶縁するための絶縁層 N、L を形成した後、配線層間を電氣的に接続するためのビアホール V' を各絶縁層に開口する。ビアホール V' の形成はレーザ加工（UV-YAG レーザ、CO₂ レーザ、エキシマレーザ等）により行なう。

【0030】

〔工程 4〕 導体層の形成、ビアホールの充填（図 6）

図 5 の構造の上下両面に、銅の無電解めっき、スパッタ等により給電用導体薄層を形成した後、銅の電解めっきによりビアホール V' を導体で充填すると共に上面導体層 c' および下面導体層 f' を形成する。これにより、導体で充填され

たビアVにより上下両面の導体層c' / f' 間が電氣的に接続された図示の構造が得られる。

【 0 0 3 1 】

〔工程5〕 下部電極の形成（図7）

エッチングにより上下両面の導体層c' およびf' をパターンニングする。これにより、2段目の上面配線層cおよび2段目の下面配線層fが形成される。これらの配線層cおよびfは、それぞれビアVにより一段目の配線層dおよびeと所定箇所電氣的に接続されている。

【 0 0 3 2 】

その後、配線層の所定積層数に応じて工程3～工程5を繰り返す。

【 0 0 3 3 】

〔工程6〕 誘電体層の形成（図8）

工程3～5をもう1回だけ繰り返して、上記配線層cの上に絶縁層Mおよび配線層bを形成した。配線層bの一部が、最終的に形成するキャパシタの下部電極となる。次いで、表面をアルカリまたは酸により洗浄し、電着法により配線層bの上に誘電体層Yを形成した。この電着は下記のように行なう。

【 0 0 3 4 】

イソプロピルアルコール等の溶剤中に、絶縁性樹脂としてのポリイミド樹脂に高誘電率の無機フィラー粉末を配合してコロイド状に分散させた電解液を用意する。配線層bを形成した基板の上面以外をマスク（図示せず）で覆い上記の電解液に浸漬し、基板を陰極側とし、対向する陽極との間に電界を印加して上記コロイドを電気泳動させ、無機フィラーとポリイミド樹脂との混合電着層を基板上面に堆積させ、これを誘電体層Yとする。このようにして混合電着層を堆積させる電解処理は、配線層bを陰極に接続して行なうことができる。

【 0 0 3 5 】

このように混合電着層が形成されるメカニズムは次のように考えられる。すなわち、無機フィラーのコロイド粒子は電氣的に中性であり極性を帯びていないが、ポリイミド樹脂のコロイド粒子は正の極性を帯びておりカチオンとして作用する。電解液中に存在するコロイド粒子の形態は、ポリイミド樹脂のコロイド粒子

に無機フィラーのコロイド粒子が付着凝集した粒子形態であると考えられる。そのため、ポリイミド樹脂のコロイド粒子が印加電界に駆動されて電気泳動するのに伴い、これと一体になって無機フィラーのコロイド粒子が移動し、陰極側の基板上に到達し、両者の混合層として析出する。

【 0 0 3 6 】

このようにして電着により形成した誘電体層 Y の厚さは、印加電流値および印加時間によって任意に設定でき、例えば $10\ \mu\text{m}$ 以下のように極めて薄くすることができる。

【 0 0 3 7 】

高誘電率の無機フィラーとしては、ペロブスカイト構造のセラミックの粉末が適しており、例えばチタン酸バリウム (BaTiO_3)、チタン・ジルコン酸鉛 ($\text{Pb}(\text{Zr}_X\text{Ti}_{1-X})\text{O}_3$)、チタン酸ストロンチウム (SrTiO_3) 等を用いることができる。

【 0 0 3 8 】

ポリイミド樹脂は、それ単独でも誘電性を有するが、上記のような高誘電率の無機フィラーを配合することにより、両者の混合電着層から成る誘電体層の誘電率が著しく高まり、薄い誘電体層で大きなキャパシタ容量を実現できる。

【 0 0 3 9 】

〔工程 7〕 誘電体層のビアホール形成 (図 9)

レーザ加工により誘電体層 Y にビアホール V' を開口する。このビアホール V' には、図 2 に示した島状の導体層 R を形成するためのビアホールも含まれる。レーザ加工は、UV-YAG レーザ、 CO_2 レーザ、エキシマレーザ等により行なう。場合によっては、ビアホール V' の開口を機械的ドリル加工により行なってもよい。

【 0 0 4 0 】

〔工程 8〕 上部電極の形成 (図 10)

図 9 の構造の上面に、銅の無電解めっき、スパッタ等により給電用導体薄層を形成した後、銅の電解めっきによりビアホール V' (図 9) を導体で充填すると共に上面導体層を形成し、これをエッチングによりパターンニングすることにより

、最上部の上面配線層 a を形成する。配線層 a の一部が、キャパシタ構造 X の上部電極となる。配線層 a の所定箇所は、導体で充填されたビア V により下層の配線層と電氣的に接続されている。

【 0 0 4 1 】

また、上面配線層 a の所定箇所には、図 2 に示したように環状絶縁層 T により周囲から絶縁区画された素子接続用パッド b P も形成する。これは、上記パターニングの際に環状絶縁層 T の形状に配線層 a をエッチング除去した後、エッチング除去部にソルダレジスト層 1 9 を充填することにより行なう。環状絶縁層 T に取り囲まれた配線層 a の部分が素子接続用パッド b P となる。エッチング前に行ったビアホール充填により、素子接続用パッド b P の下部は誘電体層 Y を貫通する導体層 R (ビア) として形成されており、その下端が下部電極層 b の所定箇所 b P' に接合している。

【 0 0 4 2 】

このようにして、上部電極 a、誘電体層 Y、下部電極 b で構成されるキャパシタ構造 X が完成する。

【 0 0 4 3 】

〔工程 9〕ソルダレジスト層の形成 (図 1 1)

上下面に、それぞれ外部接続用パッド a P および f P の部分を除いて、保護層としてソルダレジスト層 1 9 を形成する。ソルダレジスト層 1 9 の形成は、印刷法、熱圧着法 (真空熱プレス等も可) により全面に形成した後、パターニングしてパッド a P および f P の箇所を開口させることにより行なう。

【 0 0 4 4 】

その後、図 1 に示したように、下面のパッド f P にはんだ 1 5 により外部接続端子 (ピン) 1 3 を接合することにより、本発明による半導体パッケージ 1 0 が完成する。

【 0 0 4 5 】

更に、上面に半導体チップ 2 0 を搭載すれば、本発明による半導体装置 3 0 が完成する。これは、上面のパッド a P および b P に、はんだ 1 7 により半導体チップ 2 0 の各電極 bumps 2 2 を接合することにより行なう。

【 0 0 4 6 】

以上説明した例では、配線層の形成をサブトラクティブ法（全面に層を形成後パターニングにより不要箇所除去）により行なったが、アディティブ法（マスキング成膜により必要箇所のみ形成）により行なってもよい。

【 0 0 4 7 】

〔実施形態 2〕

図 1 2 に、第 1 発明による半導体パッケージ 4 0 上に半導体素子（半導体チップ） 5 0 を搭載して構成した本発明による半導体装置 6 0 の部分断面図を示す。

【 0 0 4 8 】

半導体パッケージ 4 0 は、多層配線構造 4 4 と、上面のはんだ 4 8 から成る半導体素子接続用端子と、下面のはんだ 4 3 から成る外部接続端子とを備えており、上面ははんだ 4 8 の位置を除いて絶縁層 q によって覆われており、下面ははんだ 4 3 の位置を除いてソルダレジスト 4 1 によって覆われている。

【 0 0 4 9 】

多層配線構造 4 4 は、3 層の配線層 i、j、k が間に誘電体層 y または絶縁層 m、n を介して積層されている。各配線 i ~ k は、必要箇所において、絶縁層 m、n を貫通するビア V により電氣的に接続されている。

【 0 0 5 0 】

第 1 発明の特徴として、多層配線構造 4 4 はその最上部にキャパシタ構造 x が形成されている。キャパシタ構造 x は、配線層 i から成る上部電極層、誘電体層 y、配線層 j から成る下部電極層で構成されている。誘電体層 y は高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成る。上部電極層 i および下部電極層 j の所定箇所はそれぞれ素子接続用パッド P として幅広に形成されており、はんだ 4 8 から成る素子接続用端子により半導体素子 5 0 の対応する電極 5 1 に直接接続されている。すなわち、はんだ 4 8 を溶融させ、半導体素子 5 0 の電極 5 1 に接続する。

【 0 0 5 1 】

すなわち、パッケージ 4 0 上に搭載された半導体チップ 5 0 の各電極バンプ 5 2 と、その直下に形成されているキャパシタ x の素子接続用パッド i P および j

Pとが、両者の外部の配線経路を経由せずに直接接続されている。

【0052】

このように、実施形態1の場合と同様に、半導体チップ50とキャパシタxとの接続距離が最小化されるので、両者間の配線に起因するインダクタンスの増大を実質的に防止されてキャパシタ本来のデカップリング効果を十分に得ることができると共に、混合電着層により誘電体層yが極薄に形成できることによりキャパシタ全体が極薄構造としてパッケージ40に内装でき、配線パターンの設計自由度を低下させず、同時にパッケージの小型化・軽量化を妨げることがない。

【0053】

次に、図13～28を参照して、図12に示した第1発明の半導体パッケージ40および半導体装置60を製造する工程を説明する。各図は各工程における処理により得られた構造の断面図である。なお、以下に説明する製造工程は、本出願人が特開2000-323613号公報において開示した金属板上に多層配線構造を形成する方法において、本発明により多層配線構造の最上層にキャパシタ構造を形成する工程を付加したものである。

【0054】

〔工程1〕金属板上に絶縁層を形成（図13）

銅またはアルミニウムから成る金属板42の一方の面上に、エポキシ樹脂やポリイミド樹脂の塗布またはこれらの樹脂のシートの積層により、絶縁層qを形成する。

【0055】

〔工程2〕絶縁層に開口を形成（図14）

絶縁層qに、レーザ加工により開口O1を形成し、開口O1の底部に金属板42の上記一方の面を露出させる。

【0056】

〔工程3〕金属板に凹部を形成（図15）

金属板42の他方の面にレジスト層46を形成した後、金属板42の上記開口O1内の露出部分をエッチングして金属板42の上記一方の面に凹部47を形成する。

【 0 0 5 7 】

〔工程 4〕 凹部と開口内にはんだ層を形成（図 1 6）

金属板 4 2 を給電経路として電解めっきを行い、凹部 4 7 および開口 O 1 を連続して充填するはんだ層 4 8 を形成する。その際、はんだ層 4 8 の上面が絶縁層 q の上面とほぼ同一面になるように電解めっきを行なう。

【 0 0 5 8 】

〔工程 5〕 キャパシタ電極用の金属層を形成（図 1 7）

無電解銅めっきおよび電解銅めっきを順次行い、上面全体（絶縁層 q 上およびはんだ層 4 8 上）に銅から成る、キャパシタの一方の電極用の金属層 i' を形成する。

【 0 0 5 9 】

〔工程 6〕 一方の電極を形成（図 1 8）

金属層 i' をエッチングによりパターンニングして、キャパシタの一方の電極（上部電極） i を形成する。

【 0 0 6 0 】

〔工程 7〕 誘電体層を形成（図 1 9）

絶縁層 q とはんだ層 4 8 を覆うレジスト層 4 9 を形成する。上部電極 i はレジスト層 4 9 で覆われずに露出させた状態になっている。次いで、表面をアルカリまたは酸により洗浄し、レジスト層 4 9 をマスクとする電着法により上部電極 i の上に誘電体層 y を形成する。この電着法は実施形態 1 と同様の方法により行なう。

【 0 0 6 1 】

〔工程 8〕 キャパシタ電極を含む配線層用の金属層を形成（図 2 0）

レジスト層 4 9 を除去した後、無電解銅めっきおよび電解銅めっきを順次行い、上面全体（絶縁層 q 上、はんだ層 4 8 上および誘電体層 y 上）に銅から成る、キャパシタの他方の電極を含む配線層用の金属層 j' を形成する。

【 0 0 6 2 】

〔工程 9〕 他方の電極と配線パターンを形成（図 2 1）

金属層 j' をエッチングによりパターンニングして、キャパシタの他方の電極（

下部電極)を含む配線層jを形成する。これにより、一方の電極i、誘電体層yおよび他方の電極jがこの順に積層して成るキャパシタxが完成する。図中、誘電体層yの右寄り部分の上面は配線層jを設けず誘電体層yを露出させてあるが、これは後の工程でこの右寄り部分の誘電体層yを貫通するビアを形成するためである。

【 0 0 6 3 】

〔工程10〕絶縁層を形成(図22)

上面全体(他方の電極を含む配線層j等の露出面上)に、エポキシ樹脂やポリイミド樹脂の塗布またはこれら樹脂のシートの積層により、絶縁層mを形成する。

【 0 0 6 4 】

〔工程11〕絶縁層に開口を形成(図23)

絶縁層mに、レーザ加工により開口O2を形成し、開口O2の底部に他方の電極を含む配線層jを露出させる。なお、図中で右から2番目の開口O2は、誘電体層yの右寄り露出部分をも貫通して、その下の配線層jの上面を露出させている。

【 0 0 6 5 】

〔工程12〕金属層を形成(図24)

無電解銅めっきおよび電解銅めっきを順次行い、絶縁層mを覆い開口O2を充填する金属層k'を形成する。

【 0 0 6 6 】

〔工程13〕ビアおよび配線層を形成(図25)

金属層k'をエッチングによりパターニングして、ビアVおよび配線層kを形成する。

【 0 0 6 7 】

〔工程14〕絶縁層と配線層とを更に形成(図26)

上記の工程10～工程13を所要回数繰返すことにより、所望の多層配線構造を得る。図示の例では、繰返しを1回のみ行って、絶縁層nとその上の外部接続端子用パッドPを形成する。

【 0 0 6 8 】

〔工程 1 5〕 外部接続端子の形成（図 2 7）

パッド P 以外の上面全体をソルダレジスト層 4 1 で被覆した後、パッド P 上に外部接続端子としてのはんだボール 4 3 を接合する。

【 0 0 6 9 】

〔工程 1 6〕 金属板の除去（図 2 8）

この図は、前の工程までの図とは上下を逆に示してある。この工程では、レジスト層 4 6 を除去した後、金属板 4 2 をエッチングにより除去する。このエッチングは、金属板 4 2（銅またはアルミニウム）はエッチングするがはんだ 4 8 はエッチングしないエッチング液を用いて行なう。これにより、金属板 4 2 の凹部 4 7（図 1 5）に充填されたはんだ 4 8 が、絶縁層 q の表面に露出して半導体素子接続用バンプとなる。これにより第 1 発明の半導体パッケージ 4 0 が完成する。

【 0 0 7 0 】

〔工程 1 7〕 半導体素子の搭載（図 1 2）

半導体素子 5 0 の電極 5 1 を所定のはんだバンプ 4 8 に位置合わせし、はんだバンプ 4 8 を溶融・凝固させて半導体素子の電極 5 1 とバンプ 4 8 とを接合する。これにより、第 1 発明の半導体パッケージ 4 0 に半導体素子 5 0 を搭載した本発明の半導体装置 6 0 が完成する。

【 0 0 7 1 】

以上、実施形態 1 および実施形態 2 において説明した第 1 発明による半導体パッケージおよび半導体装置は、半導体素子とキャパシタとの接続距離を最小化できる点で本発明のベストモードである。

【 0 0 7 2 】

しかし、このようなベストモードに限らず、以下に説明する第 2 発明によっても、従来構造に対して半導体素子／キャパシタ間近接化効果を十分に得ることができる。

【 0 0 7 3 】

〔実施形態 3〕

図 2 9 に、第 2 発明による半導体パッケージ 1 1 0 上に半導体素子（半導体チップ） 1 2 0 を搭載して構成した本発明による半導体装置 1 3 0 の部分断面図を示す。

【 0 0 7 4 】

第 2 発明による半導体パッケージ 1 1 0 は、絶縁性基板 1 1 2 の上下両面にそれぞれ多層配線構造 1 1 4 および 1 1 6 を備えており、絶縁性基板 1 1 2 を貫通して上面側多層配線構造 1 1 4 の最下層 a 4 と下面側多層配線構造 1 1 6 の最上層 a 5 とを電氣的に接続するスルーホール 1 1 8 を備えている。

【 0 0 7 5 】

この構造の狙いは、絶縁基板の両面に多層配線構造を同時並行的に順次ビルドアップすることにより、基板両面の積層数を常にバランスさせて製造過程における基板の反り発生を防止することである。

【 0 0 7 6 】

下面側多層配線構造 1 1 6 は、3 層の配線層 a 5、a 6、a 7 が間に絶縁層 M 3、M 4 を介して積層された構造である。最下層の配線層 a 7 の所定箇所は外部接続用パッド a 7 P として形成されており、はんだ 1 1 5 により外部接続端子（ピン） 1 1 3 が接合されている。図示した 6 本のピン 1 1 3 は、例えば左端の 1 本が接地端子（G R）、中央の 4 本が信号端子（S）、右端の 1 本が電源端子（P）である。下面側多層配線構造 1 1 6 の下面は、はんだ 1 1 5 の位置を除いて、ソルダレジスト 1 1 1 によって覆われている。

【 0 0 7 7 】

上面側多層配線構造 1 1 4 は、4 層の配線層 a 1、a 2、a 3、a 4 が間に絶縁層 M 1、M 2 または誘電体層 Y 0 を介して積層されている。各配線層 a 1 ~ a 4 は、必要箇所において、誘電体層 Y 0 または絶縁層 M 1、M 2 を貫通するビア V により電氣的に接続されている。

【 0 0 7 8 】

第 2 発明の特徴として、上面側多層配線構造 1 1 4 にキャパシタ構造 X 0 を含む。キャパシタ構造 X 0 は、配線層 a 2 から成る上部電極層、誘電体層 Y 0、配線層 a 3 から成る下部電極層で構成されている。誘電体層 Y 0 は高誘電率の無機

フィラーと絶縁性樹脂との混合電着層から成る。上部電極層 a 2 および下部電極層 a 3 の所定箇所はそれぞれビア V を介して、最上層の配線層 a 1 で形成された別々の所定箇所に接続されている。この所定箇所は素子接続用パッド a 1 P として形成されており、はんだ 1 1 7 により半導体素子 1 2 0 の電極バンプ 1 2 2 に接続されている。すなわち、はんだペーストをスクリーン印刷により塗布したり、はんだボールを搭載したりしてはんだ 1 1 7 を設け、このはんだ 1 1 7 を熔融させ、半導体素子 1 2 0 の電極バンプ 1 2 2 に接続する。電極バンプ 1 2 2 は半導体素子 1 2 0 の電極にはんだにより直接形成してあり、電極と実質的に一体である。

【 0 0 7 9 】

このように、第 2 発明の半導体パッケージおよびそれを用いた本発明の半導体装置は、上面側多層配線構造 1 1 4 の、キャパシタ構造 X 0 と平面図上で重なる領域内に、キャパシタ構造 X 0 の上部電極（配線層 a 2）および下部電極（配線層 a 3）と半導体素子 1 2 0 の電極バンプ 1 2 2 に接続する素子接続パッド a 1 P を備えている。これにより、従来のチップキャパシタ等の容量素子を用いた構造に比べて、半導体素子／容量素子間の接続距離を大幅に短縮できる。

【 0 0 8 0 】

すなわち、従来はチップキャパシタ等の容量素子を上面側多層配線構造の上面の半導体素子とは平面図上で別の領域にまたは下面側多層配線構造の下面に配置していた。チップキャパシタ等の容量素子を半導体素子と同じく上面側に配置した場合には、これら素子の平面寸法に対応する数 mm のオーダーが接続距離となり、また容量素子を半導体素子とは反対側の下面側に配置した場合には、絶縁基板の厚さに対応する 0. 2 mm ～ 0. 8 mm (2 0 0 μ m ～ 8 0 0 μ m) 程度が接続距離となる。

【 0 0 8 1 】

これに対して、第 2 発明の構造であれば、半導体素子と同じ上面側の多層配線構造内にキャパシタ構造が備わっており、しかもキャパシタ構造と平面図上で重なる領域内に半導体素子との接続パッドが設けられているので、接続距離は最大でも上面側多層配線構造の厚さを超えない。上面側多層配線構造の厚さは、絶縁

層が $20\ \mu\text{m}$ 程度、配線層が $15\ \mu\text{m}$ 程度である。内蔵されるキャパシタ構造自体の厚さは、上下の電極がそれぞれ $15\ \mu\text{m}$ 程度、誘電体層が $10\ \mu\text{m}$ 程度である。上面側多層配線構造 114 の厚さは、絶縁層 ($M1 + M2 = 40\ \mu\text{m}$)、電極層を含む配線層 ($a1 + a2 + a3 + a4 = 60\ \mu\text{m}$)、誘電体層 Y0 ($10\ \mu\text{m}$) の合計で $110\ \mu\text{m}$ となる。

【0082】

半導体素子 120 とキャパシタ構造 X0 との接続距離をもう少し詳細にみると、キャパシタ構造 X0 の下部電極 a3 (半導体素子 120 から遠い方の電極) から、半導体素子 120 の電極 122 と接続される配線層 a1 までの接続距離は、誘電体層 Y0 ($10\ \mu\text{m}$)、上部電極 a2 ($15\ \mu\text{m}$)、絶縁層 M1 ($20\ \mu\text{m}$)、配線層 a1 ($15\ \mu\text{m}$) の厚さの合計に対応し、 $60\ \mu\text{m}$ となる。

【0083】

これに対して、従来のように例えば下面側にチップキャパシタを搭載した場合には、絶縁基板の厚さ ($200 \sim 800\ \mu\text{m}$) に更に上下の多層配線構造 114 および 116 の合計厚さ (図 29 と同等の構造では最低でも約 $200\ \mu\text{m}$) が加わるので、 $400\ \mu\text{m} \sim 1000\ \mu\text{m}$ (1mm) 程度が、半導体素子/キャパシタ間の接続距離となる。

【0084】

このように、第 2 発明によれば、第 1 発明のように最短化はしないが、従来構造に対して半導体素子/キャパシタ間の接続距離を大幅に短縮することができる。また、第 1 発明と同様に、配線パターン設計の自由度を確保することができる。このように、第 2 発明による半導体パッケージおよび半導体装置も、実用的に十分に有益な効果が得られる。

【0085】

更に、第 2 発明によれば、キャパシタ構造は 1 層に限定する必要はなく、複数層を積層して設けても、従来構造に対して接続距離短縮効果が得られる。

【0086】

図 30 に、キャパシタ構造を 2 層積層して設けた第 2 発明の半導体パッケージ 110' に半導体素子 120 を搭載して構成した半導体装置 130' の部分断面

図を示す。すなわち、この構造は、上面側多層配線構造 1 1 4' 内に 2 つのキャパシタ構造 X 1 と X 2 が積層して設けてある。上面側多層配線構造 1 1 4' は、6 層の配線層 a 1 ~ a 6 が間に絶縁層 M 1、M 2、M 3 または誘電体層 Y 1、Y 2 を介して積層されている。キャパシタ構造 X 1 は、配線層 a 2 から成る上部電極、誘電体層 Y 1、配線層 a 3 から成る下部電極で構成されており、キャパシタ構造 X 2 は、配線層 a 4 から成る上部電極、誘電体層 Y 2、配線層 a 5 から成る下部電極で構成されている。

【0087】

下面側多層配線層 1 1 6' は、4 層の配線層 a 7 ~ a 1 0 が間に絶縁層 M 4 ~ M 6 を介して積層された構造である。最下層の配線層 a 1 0 P の所定箇所は外部接続用パッド a 1 0 P として形成されている。

【0088】

他の構成部位については、図 2 9 と同じ参照符号を付した部位は同図について説明したとおりである。

【0089】

図 3 0 に示したように、2 層のキャパシタ構造を設けた場合でも、半導体素子 1 2 0 から遠い方の下層のキャパシタ構造 X 2 の下部電極 a 5 までの接続距離は、図 2 9 のキャパシタ構造 1 層タイプの場合の接続距離 $60\mu\text{m}$ に、上層のキャパシタ構造 X 1 の下部電極 a 3 ($15\mu\text{m}$)、上下のキャパシタ構造 X 1、X 2 を隔てる絶縁層 M 2 ($20\mu\text{m}$)、下層のキャパシタ構造 X 2 の上部電極 a 4 ($15\mu\text{m}$)、誘電体層 Y 2 ($10\mu\text{m}$) の合計厚さ $60\mu\text{m}$ を加えた値に対応し、 $120\mu\text{m}$ となる。

【0090】

これに対して、従来構造で図 3 0 の構造に対応した多層配線の積層数とした場合は、前述の $400\mu\text{m} \sim 1000\mu\text{m}$ (1mm) に、上部配線構造の配線層 2 層分 ($15\mu\text{m} \times 2 = 30\mu\text{m}$) と絶縁層 2 層分 ($20\mu\text{m} \times 2 = 40\mu\text{m}$) および下層配線構造の配線層 1 層分 ($15\mu\text{m}$) と絶縁層 1 層分 ($20\mu\text{m}$) の合計厚さ約 $100\mu\text{m}$ を加えた値に対応し、 $500\mu\text{m} \sim 1100\mu\text{m}$ (1.1mm) となる。

【 0 0 9 1 】

したがって、図 3 0 のように 2 層のキャパシタ構造を設けた場合にも、第 2 発明によれば従来構造に対して大幅に接続距離を短縮することができる。もちろん、配線パターン設計の自由度も同様に確保できる。

【 0 0 9 2 】

次に、図 3 1 ～ 3 8 を参照して、第 2 発明の一実施形態により半導体パッケージ 1 1 0 および半導体装置 1 3 0 を製造する工程を説明する。各図は各工程における処理により得られる構造の断面図である。なお、図 3 1 ～ 3 8 における参照番号の下 2 桁が、実施形態 1 による工程の説明に用いた図 3 ～ 1 1 における参照番号と対応する部位の形成には、図 3 ～ 1 1 における対応部位と同様の材質および形成方法を用いることができる。

【 0 0 9 3 】

〔工程 1〕基板準備、スルーホール形成、配線パターン形成（図 3 1）

実施形態 1 の工程 1 ～ 2 （図 3 ～ 4 ）と同様の処理を行なうことにより、絶縁性コア材 1 1 2 の上下両面にそれぞれ配線層 a 4 および a 5 を備え、導体で充填されたスルーホール 1 1 8 により上下両面の配線層 a 4 / a 5 間が電氣的に接続された構造を得る。

【 0 0 9 4 】

〔工程 2〕絶縁層の形成（図 3 2）

実施形態 1 の工程 3 （図 5 ）と同様の処理を行なうことにより、上下両面の配線層 a 4 、 a 5 上にそれぞれ配線層間を絶縁するための絶縁層 M 2 、 M 3 を形成した後、配線層間を電氣的に接続するためのビアホール V' を各絶縁層 M 2 、 M 3 にそれぞれ形成する。

【 0 0 9 5 】

〔工程 3〕下部電極の形成、ビアホールの充填（図 3 3）

実施形態 1 の工程 4 ～ 5 （図 6 ～ 7 ）と同様の処理を行なうことにより、上下両面の絶縁層 M 2 、 M 3 上にそれぞれ導体層を形成すると共にビアホール V' を導体で充填してビア V を形成する。その後、上面側導体層をエッチングしてキャパシタ構造 X 2 （図 2 9 ）の下部電極 a 3 を形成する。エッチングの際、下面側

導体層 a 6' はマスク K で覆いエッチングせず、後工程で誘電体層を形成する際の給電層として用いる。

【 0 0 9 6 】

〔工程 4〕誘電体層の形成（図 3 4）

下面側導体層 a 6' を給電層として、実施形態 1 と同様の電着法を行い、下部電極 a 3 上に誘電体層 Y 0 を形成する。

【 0 0 9 7 】

〔工程 5〕誘電体層のビアホール形成（図 3 5）

レーザ加工により誘電体層 Y 0 にビアホール V' を開口する。

【 0 0 9 8 】

〔工程 6〕上部電極の形成（図 3 6）

マスク K を設けたまま実施形態 1 の工程 8（図 1 0）と同様の処理を行なうことにより、ビアホール V' を充填してビア V を形成すると共に誘電体層 Y 0 上に導体層を形成した後、マスク K を除去してから、この導体層および下面側導体層 a 6' を同時にエッチングして上部電極 a 2 および下面側配線層 a 6 を形成する。これにより、上面側多層配線構造の一部として、上部電極 a 2、誘電体層 Y 0、下部電極 a 3 で構成されるキャパシタ構造 X 0 が完成する。

【 0 0 9 9 】

〔工程 7〕絶縁層／配線層の形成（図 3 7）

工程 2 ～ 3 をもう 1 回繰り返すことにより、上下両面にそれぞれ絶縁層 M 1 と配線層 a 1 を 1 組および絶縁層 M 4 と配線層 a 7 を 1 組、それぞれ積層（ビルドアップ）する。ここでは上下両面にそれぞれ配線層を 1 層追加する場合を示したが、必要な配線層の積層数に対応した回数だけ工程 2 ～ 3 を繰り返せばよい。

【 0 1 0 0 】

〔工程 8〕ソルダレジスト層の形成（図 3 8）

実施形態 1 の工程 9（図 1 1）と同様の処理を行なうことにより、上下両面に、それぞれ素子接続用パッド a 1 P、外部接続端子用パッド a 7 P の部分を除いて、保護層としてソルダレジスト層 1 1 9、1 1 1 を形成する。各パッド部分 a 1 P、a 7 P にはニッケル（Ni）めっきと金（Au）めっきを順じ施す。これ

により、上面側多層配線構造 1 1 4 および下面側多層配線構造 1 1 6 が実質的に同時に完成する。

【0 1 0 1】

〔工程 9〕半導体パッケージ、半導体装置の完成（図 2 9）

次いで、図 2 9 に示すように、下面側の外部接続端子用パッド a 7 P にはんだ 1 1 5 によりピン 1 1 3 等の外部接続端子を接合して、半導体パッケージ 1 1 0 が完成する。更に、上面側の素子接続用パッド a 1 P にはんだ 1 1 7 により半導体素子 1 2 0 の電極端子 1 2 2 を接合して半導体素子 1 2 0 を搭載することにより、半導体装置 1 3 0 が完成する。

【0 1 0 2】

以上、第 2 発明により上面側多層配線構造にキャパシタ構造を 1 層だけ設けた半導体パッケージ 1 1 0 および半導体装置 1 3 0（図 2 9）の製造工程を説明した。

【0 1 0 3】

図 3 0 に示したようにキャパシタ構造を 2 層積層した構造の第 2 発明による半導体パッケージ 1 1 0' および半導体装置 1 3 0' の製造も基本的には上記と同様であるが、工程 4 ～ 7（図 3 4 ～ 3 7）を 2 回行なうことにより、キャパシタ構造 X 2（下部電極 a 5、誘電体層 Y 2、上部電極 a 4）とキャパシタ構造 X 1（下部電極 a 3、誘電体層 Y 1、上部電極 a 2）と両者間の絶縁層 M 2 を形成する。これにより、2 層のキャパシタ構造 X 1 と X 2 を積層して内蔵する上面側多層配線構造 1 1 4' が形成される。また、上面側キャパシタ構造 1 層分の配線層に対応して下面側にも配線層を 1 層追加する。他の工程は、図 2 9 の構造を製造するための工程と同様に行なえばよい。

【0 1 0 4】

なお、図 3 0 には、キャパシタ構造を 2 層積層した例を示したが、工程 4 ～ 7（図 3 4 ～ 3 7）を更に繰返し行なうことにより、3 層以上のキャパシタ構造を積層させて設けることができる。その際には、キャパシタ構造の増加層数に対応して下面側多層配線構造の配線層数を増加させることが望ましい。すなわち、絶縁基板の両面に多層配線構造を同時並行的に順次ビルドアップすることにより、

基板両面の積層数を常にバランスさせて製造過程における基板の反り発生を防止する。

【 0 1 0 5 】

【発明の効果】

本発明によれば、配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージとその製造方法、およびこの半導体パッケージを用いた半導体装置が供される。

【図面の簡単な説明】

【図 1】

図 1 は、第 1 発明の実施形態 1 による半導体パッケージに半導体素子を搭載した本発明による半導体装置を示す断面図である。

【図 2】

図 2 は、図 1 の半導体パッケージにおける内装キャパシタの層構成を示す分解図である。

【図 3】

図 3 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 1 を示す断面図である。

【図 4】

図 4 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 2 を示す断面図である。

【図 5】

図 5 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 3 を示す断面図である。

【図 6】

図 6 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 4 を示す断面図である。

【図 7】

図 7 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製

造する工程 5 を示す断面図である。

【図 8】

図 8 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 6 を示す断面図である。

【図 9】

図 9 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 7 を示す断面図である。

【図 1 0】

図 1 0 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 8 を示す断面図である。

【図 1 1】

図 1 1 は、第 1 発明の実施形態 1 による半導体パッケージおよび半導体装置を製造する工程 9 を示す断面図である。

【図 1 2】

図 1 2 は、第 1 発明の実施形態 2 による半導体パッケージに半導体素子を搭載した本発明による半導体装置を示す断面図である。

【図 1 3】

図 1 3 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 を示す断面図である。

【図 1 4】

図 1 4 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 2 を示す断面図である。

【図 1 5】

図 1 5 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 3 を示す断面図である。

【図 1 6】

図 1 6 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 4 を示す断面図である。

【図 1 7】

図 1 7 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 5 を示す断面図である。

【図 1 8】

図 1 8 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 6 を示す断面図である。

【図 1 9】

図 1 9 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 7 を示す断面図である。

【図 2 0】

図 2 0 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 8 を示す断面図である。

【図 2 1】

図 2 1 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 9 を示す断面図である。

【図 2 2】

図 2 2 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 0 を示す断面図である。

【図 2 3】

図 2 3 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 1 を示す断面図である。

【図 2 4】

図 2 4 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 2 を示す断面図である。

【図 2 5】

図 2 5 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 3 を示す断面図である。

【図 2 6】

図 2 6 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 4 を示す断面図である。

【図 2 7】

図 2 7 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 5 を示す断面図である。

【図 2 8】

図 2 8 は、第 1 発明の実施形態 2 による半導体パッケージおよび半導体装置を製造する工程 1 6 を示す断面図である。

【図 2 9】

図 2 9 は、第 2 発明の一実施形態による半導体パッケージに半導体素子を搭載した本発明による半導体装置を示す断面図である。

【図 3 0】

図 3 0 は、第 2 発明の他の実施形態による半導体パッケージに半導体素子を搭載した本発明による半導体装置を示す断面図である。

【図 3 1】

図 3 1 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 1 を示す断面図である。

【図 3 2】

図 3 2 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 2 を示す断面図である。

【図 3 3】

図 3 3 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 3 を示す断面図である。

【図 3 4】

図 3 4 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 4 を示す断面図である。

【図 3 5】

図 3 5 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 5 を示す断面図である。

【図 3 6】

図 3 6 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を

製造する工程 6 を示す断面図である。

【図 3 7】

図 3 7 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 7 を示す断面図である。

【図 3 8】

図 3 8 は、第 2 発明の一実施形態による半導体パッケージおよび半導体装置を製造する工程 8 を示す断面図である。

【図 3 9】

図 3 9 は、第 2 発明の他の実施形態による半導体パッケージおよび半導体装置を製造するための、上記一実施形態の製造工程を示す図 3 8 に対応した段階の工程を示す断面図である。

【符号の説明】

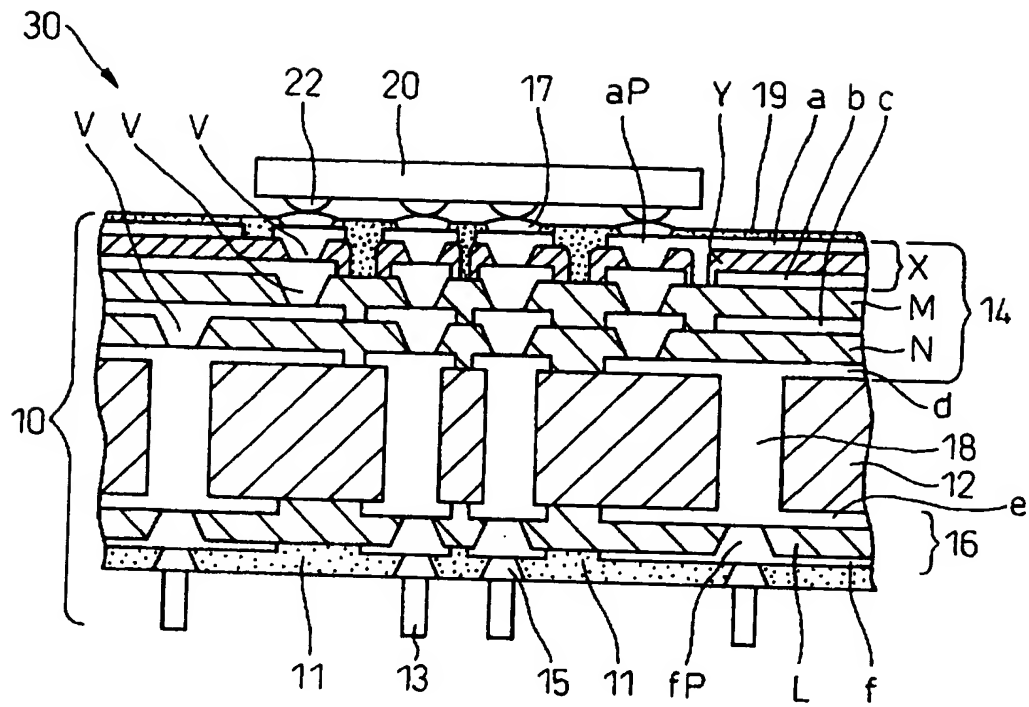
- 1 0、4 0、1 1 0、1 1 0' …本発明による半導体パッケージ
- 2 0、5 0、1 2 0…半導体素子（半導体チップ）
- 3 0、6 0、1 3 0、1 3 0' …本発明による半導体装置
- 1 2、1 1 2…絶縁性基板
- 1 4、4 4…多層配線構造
- 1 6…下面配線構造
- 1 1 4、1 1 4' …上面側多層配線構造
- 1 1 6、1 1 6' …下面側多層配線構造
- 1 8、1 1 8…スルーホール
- a、b、c、d…上面配線層
- e、f…下面配線層
- i、j、k…配線層
- a 1、a 2、a 3、a 4、a 5、a 6、a 7、a 8、a 9、a 1 0…多層配線構造内の配線層
- X、x、X 0、X 1、X 2…キャパシタ構造
- Y、y、Y 0、Y 1、Y 2…誘電体層
- M、N、L、q、m、n、M 1、M 2、M 3、M 4、M 5、M 6…絶縁層

【書類名】

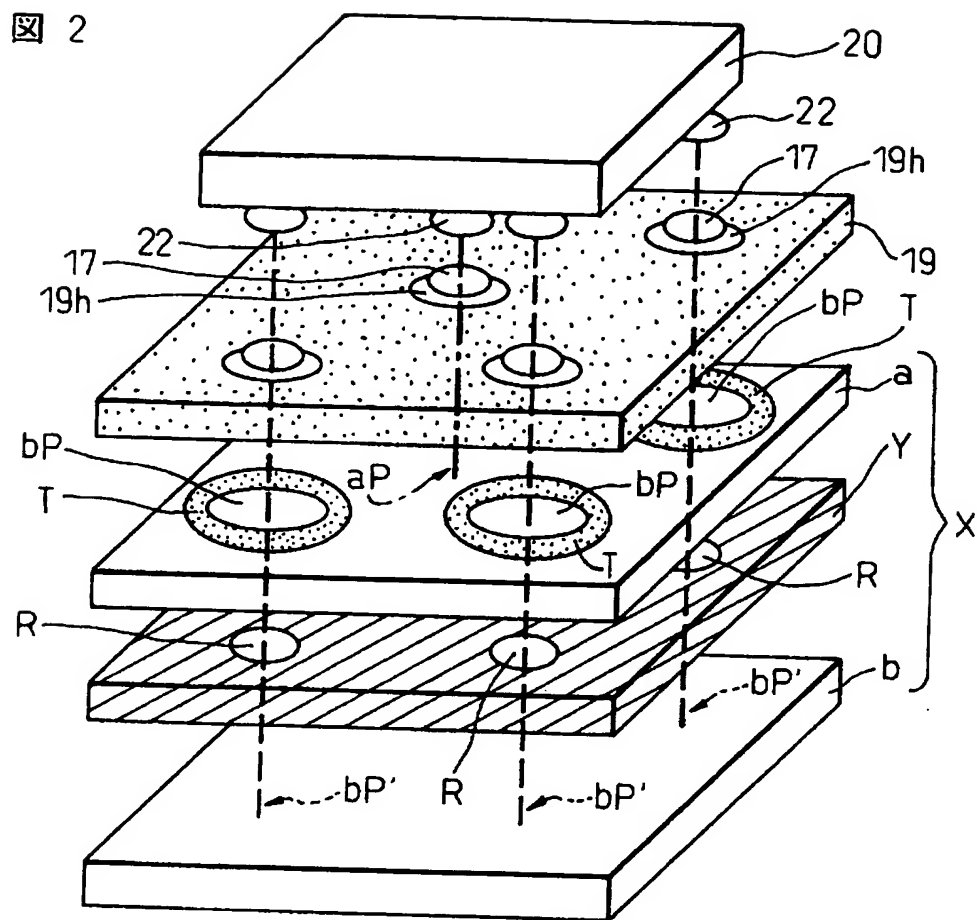
図面

【図 1】

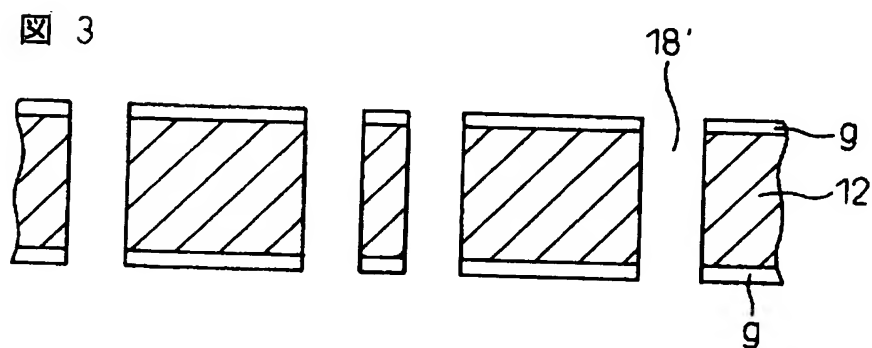
圖 1



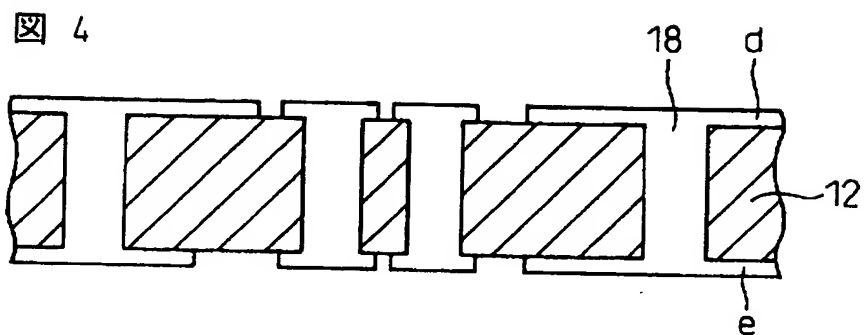
【図 2】



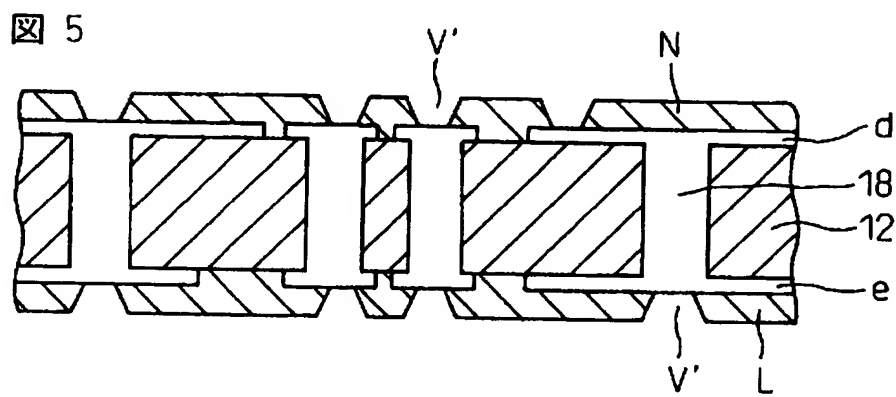
【図 3】



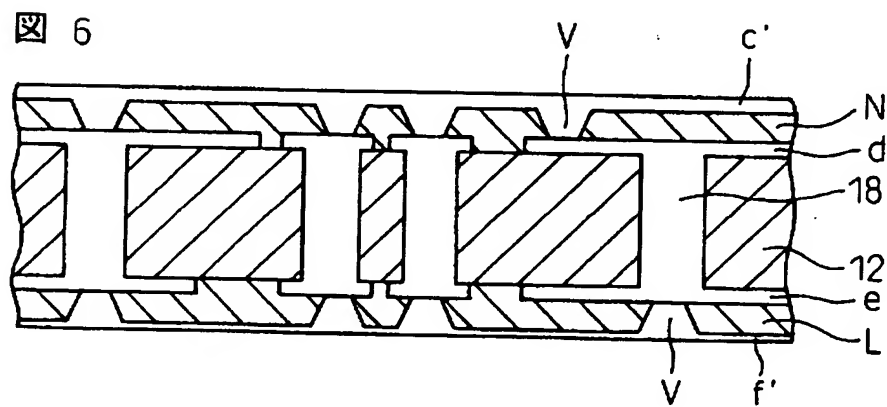
【図 4】



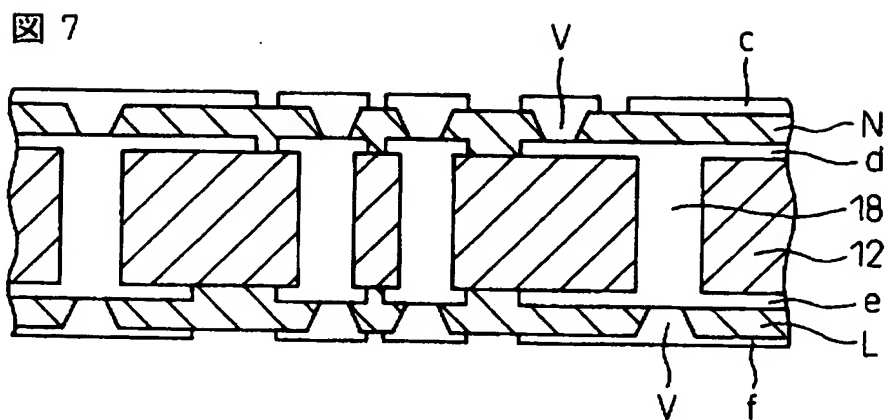
【図 5】



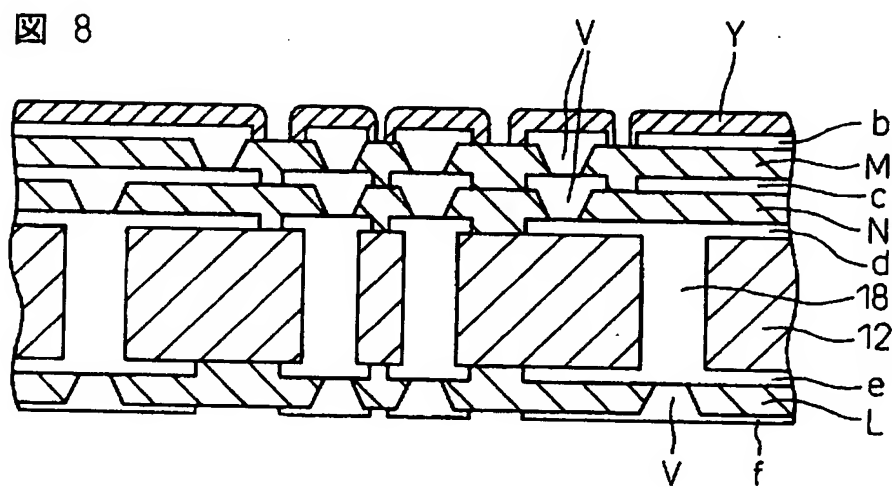
【図 6】



【図 7】

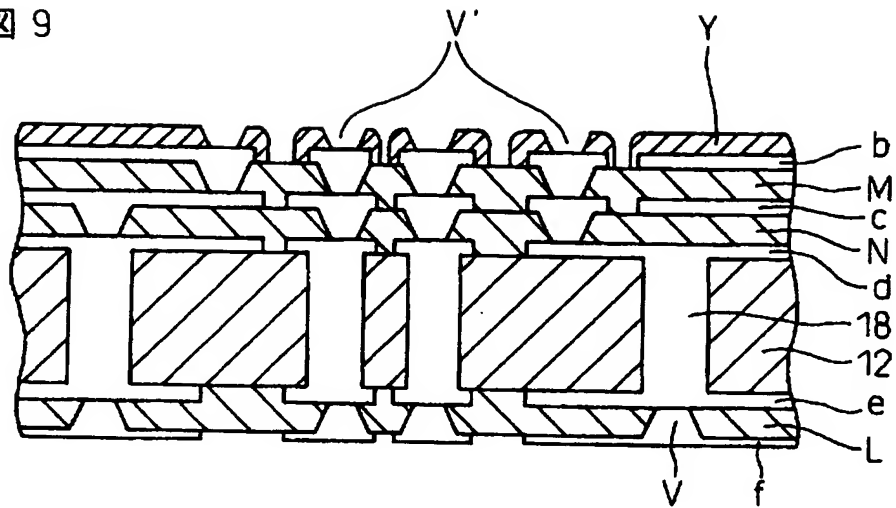


【図 8】



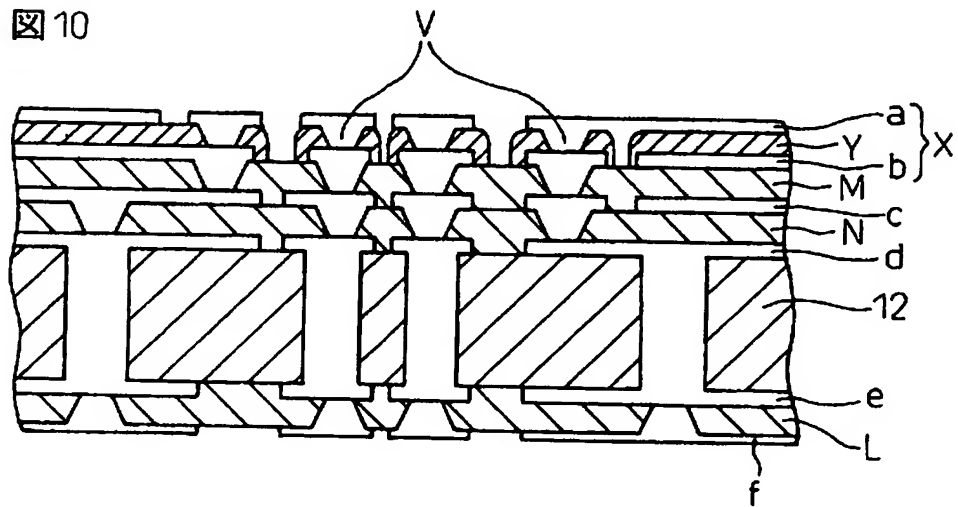
【図 9】

図 9

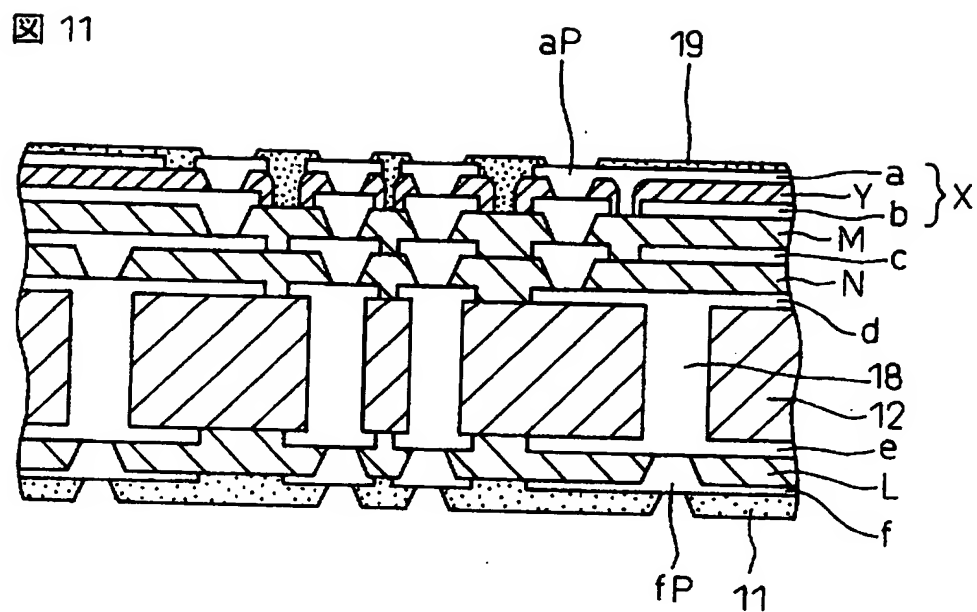


【図 10】

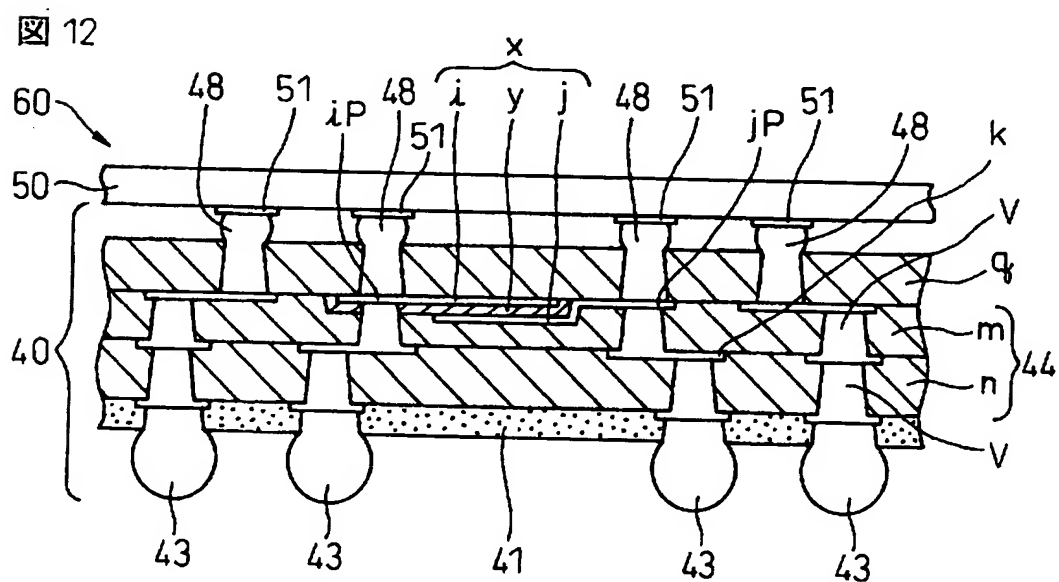
図 10



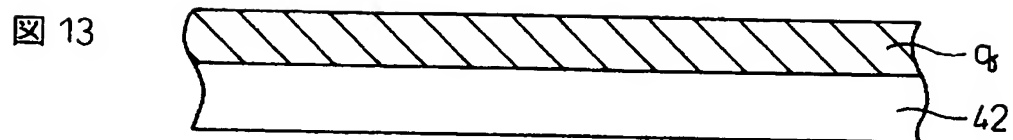
【図 1 1】



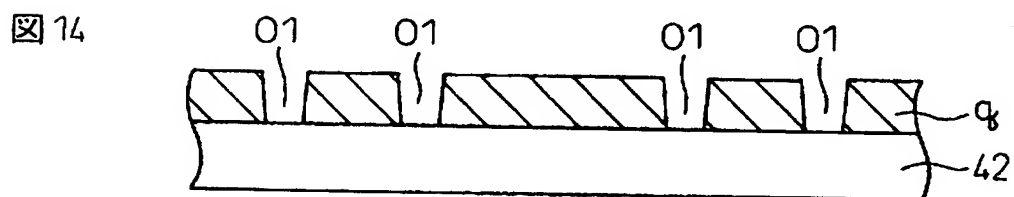
【图 1 2】



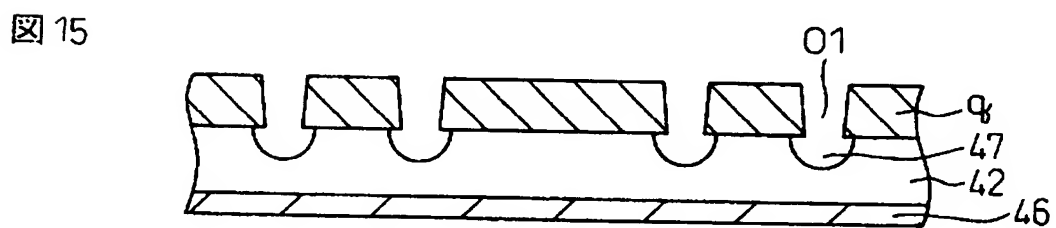
【図 1 3】



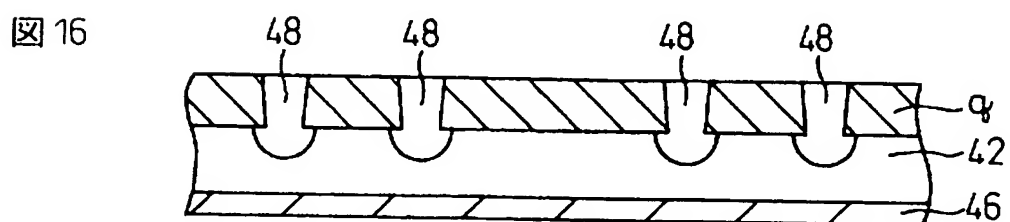
【図 1 4】



【図 1 5】

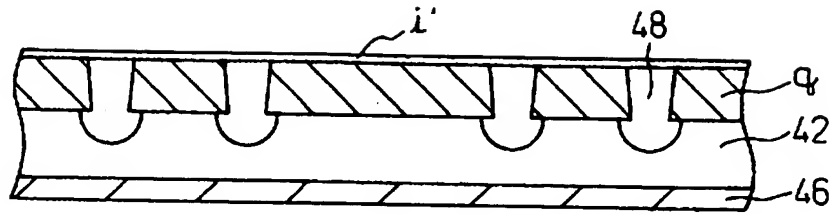


【図 1 6】



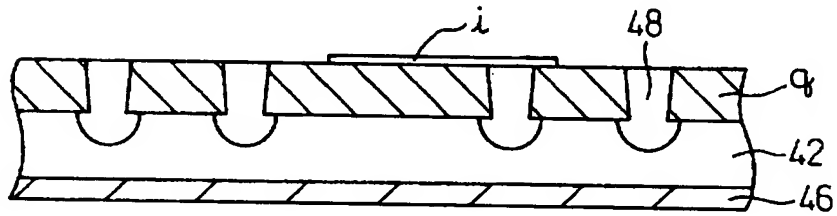
【図 17】

図 17



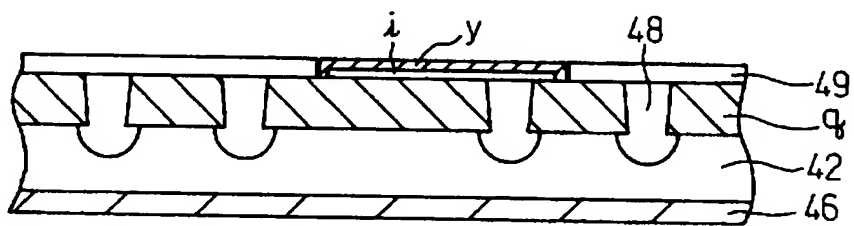
【図 18】

図 18



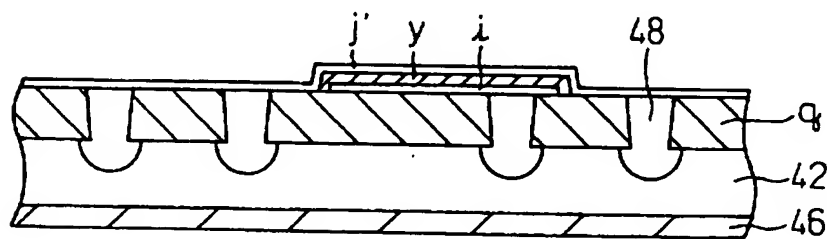
【図 19】

図 19



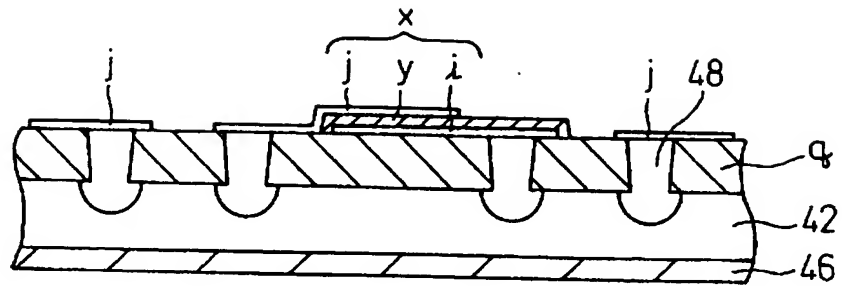
【図 20】

図 20



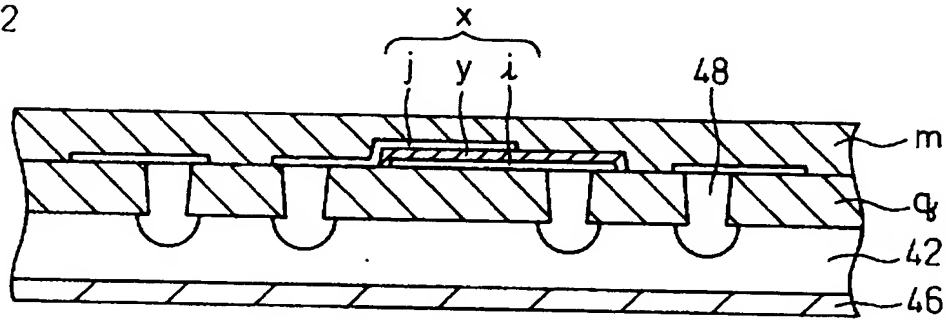
【図 21】

図 21



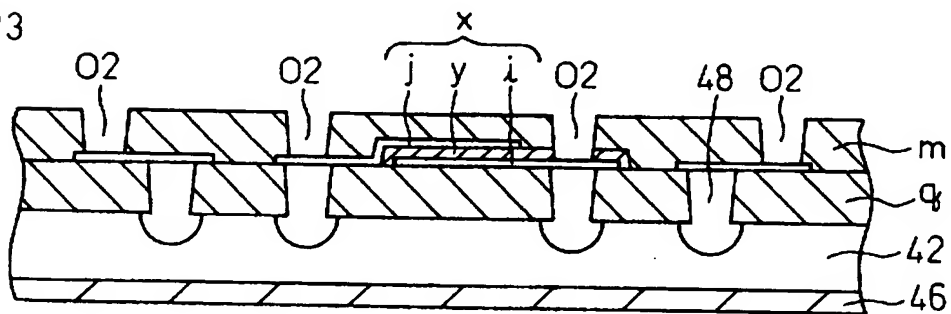
【図 22】

図 22



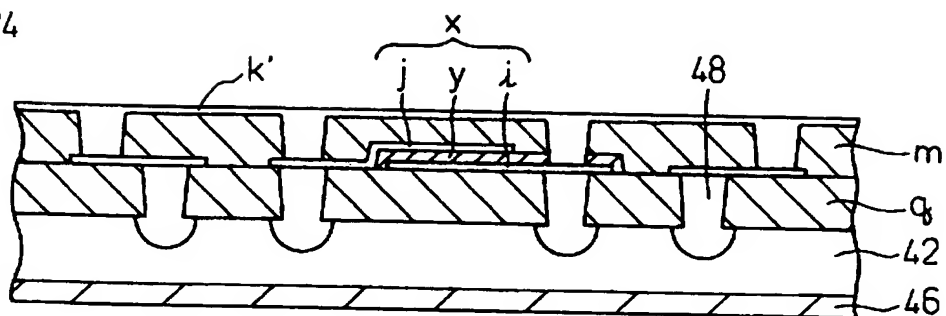
【図 23】

図 23



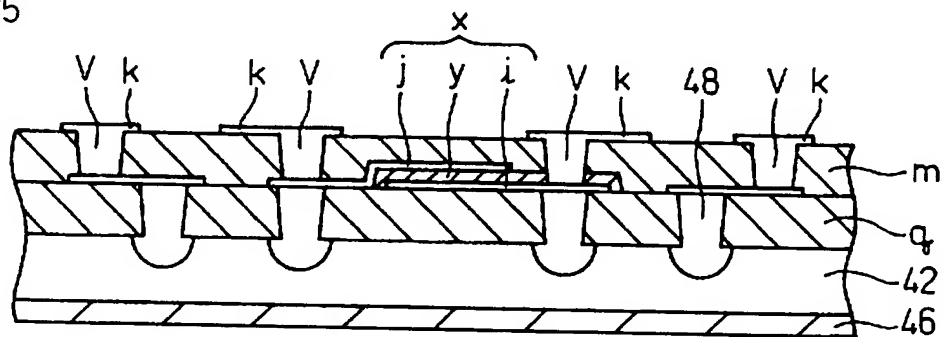
【図 24】

図 24



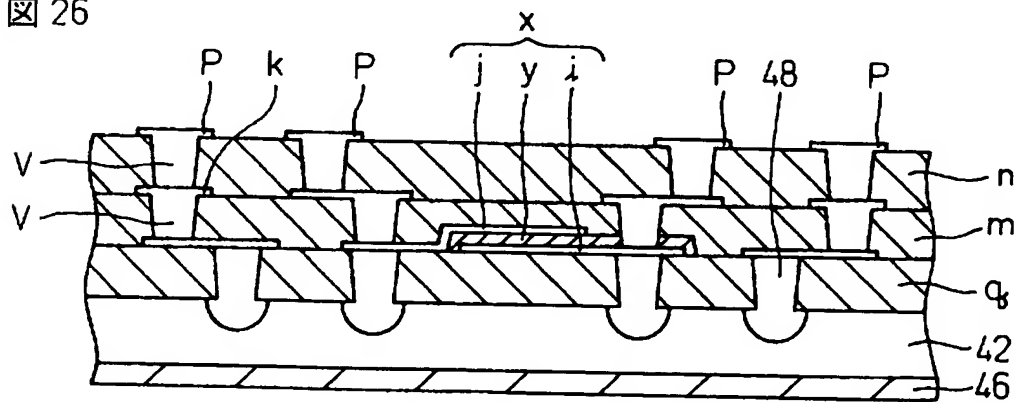
【図 25】

図 25

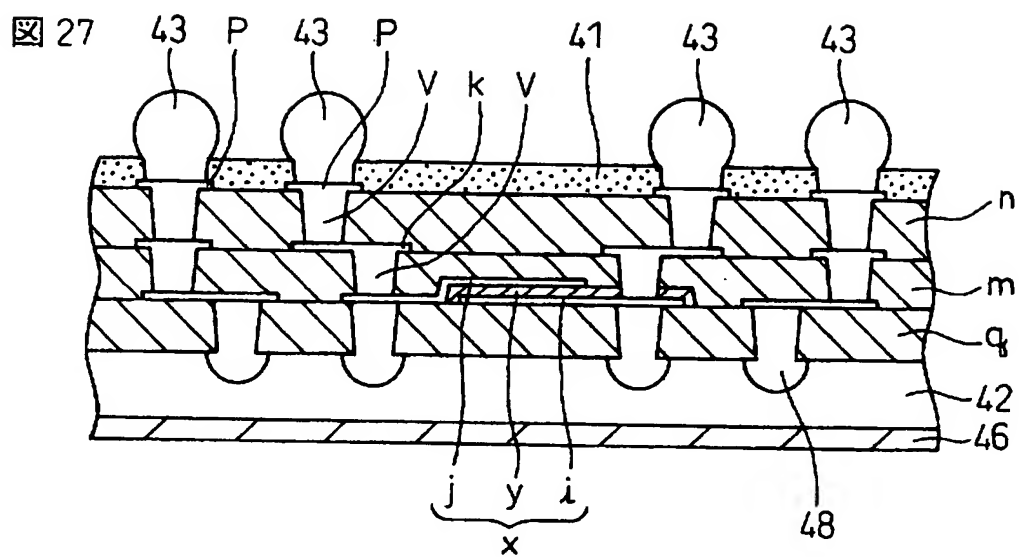


【図 26】

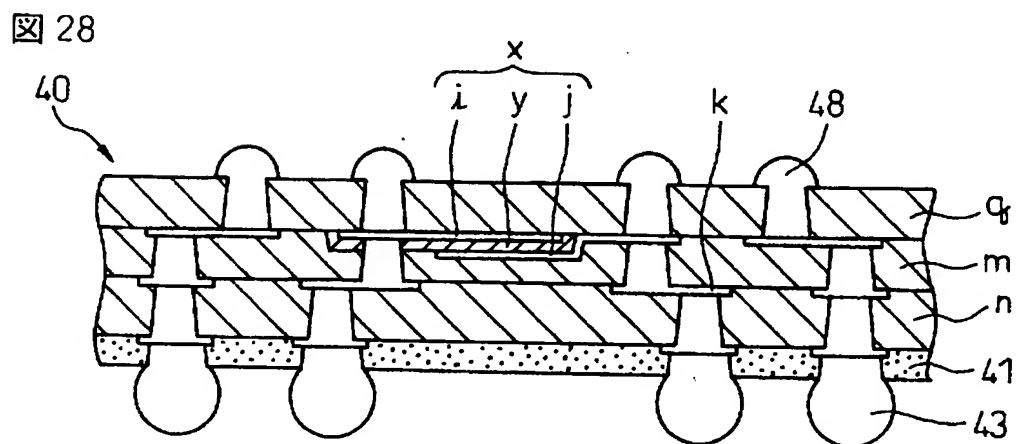
図 26



【図 27】

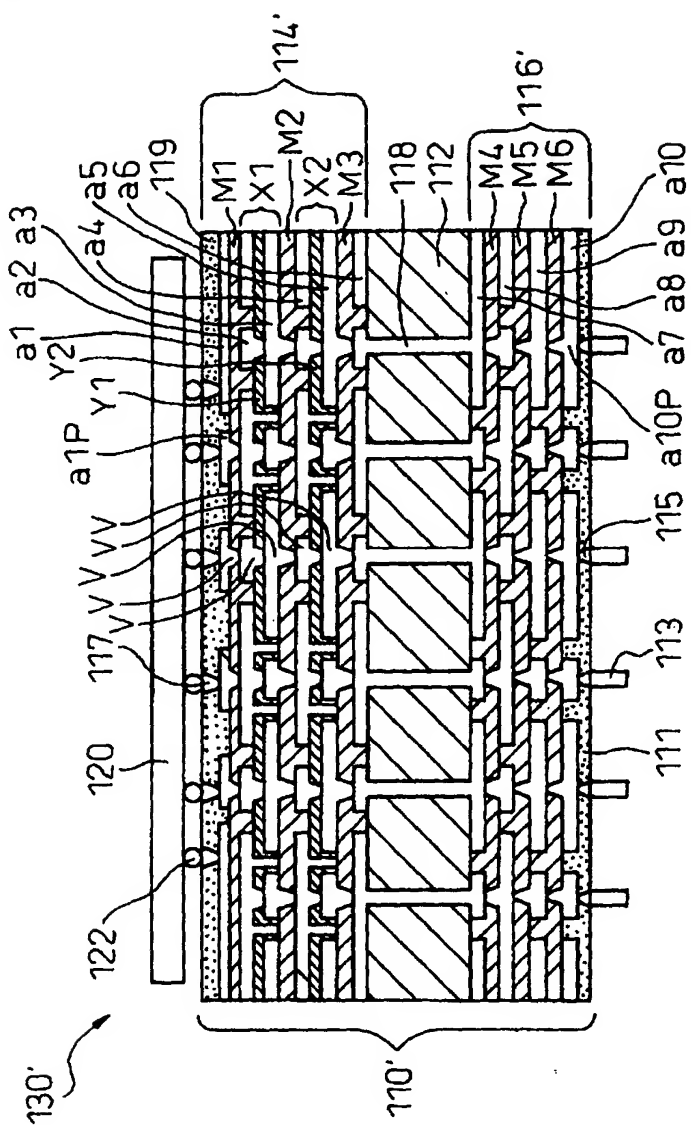


【図 28】



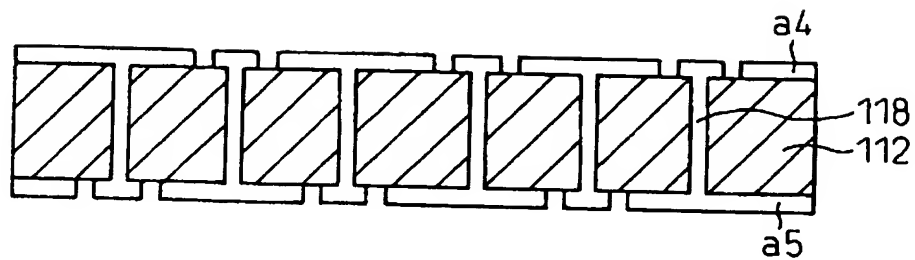
【図 30】

図 30



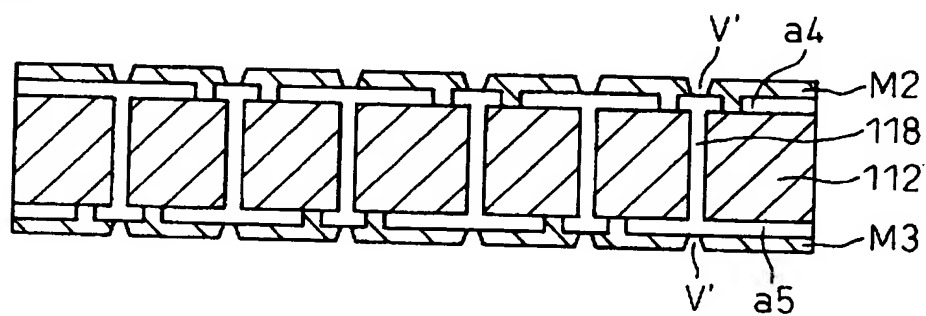
【図 3 1】

図 31



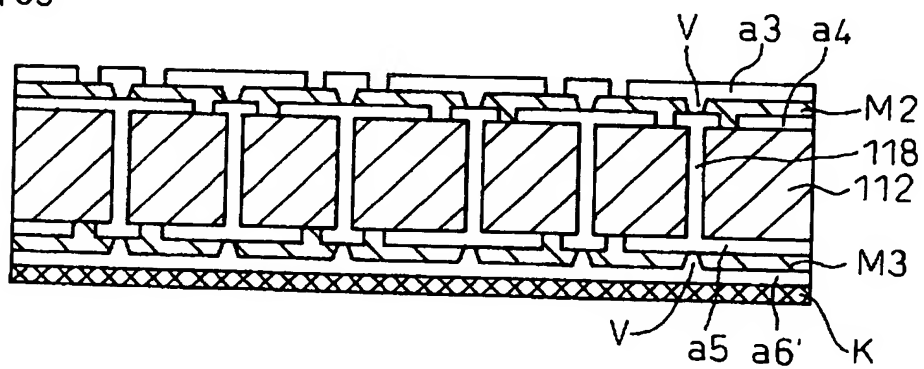
【図 3 2】

図 32



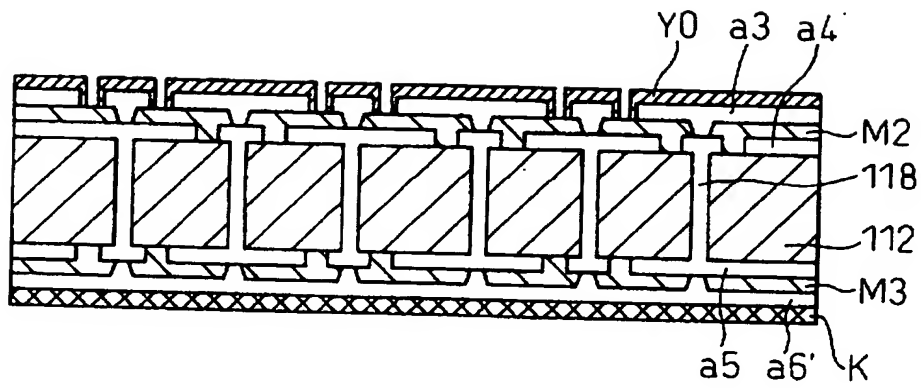
【図 3 3】

図 33



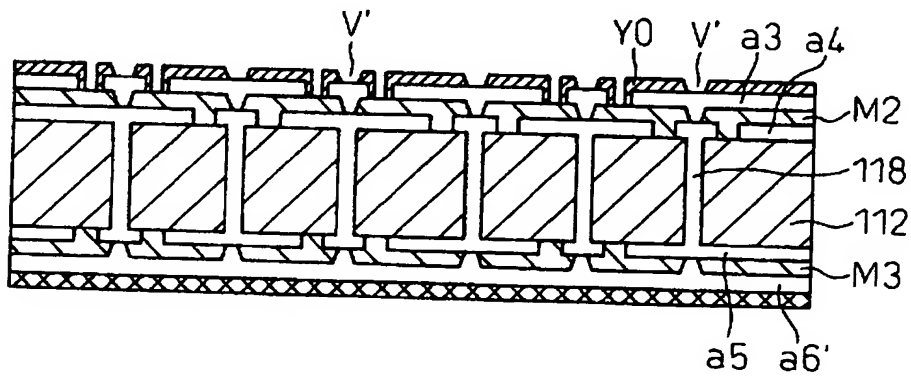
【図 34】

図 34



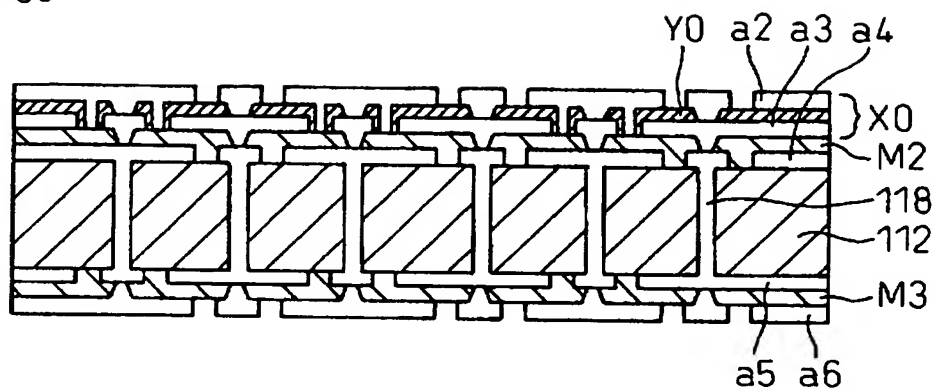
【図 35】

図 35



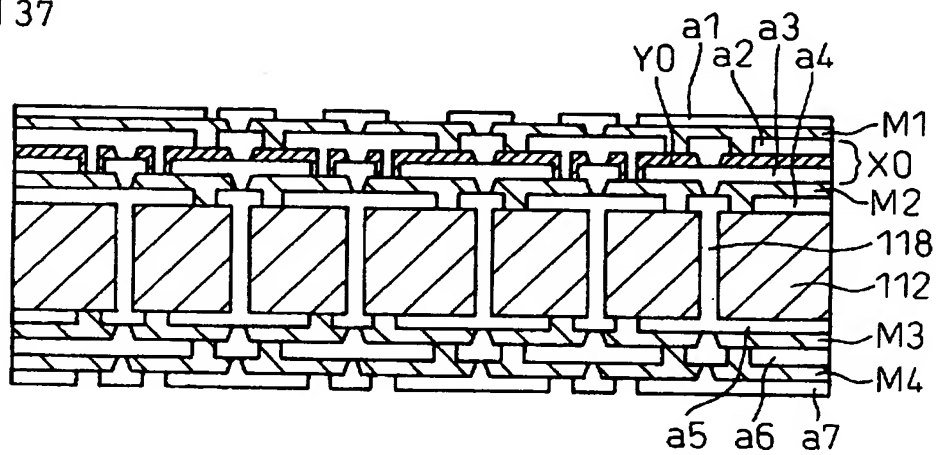
【図 36】

図 36



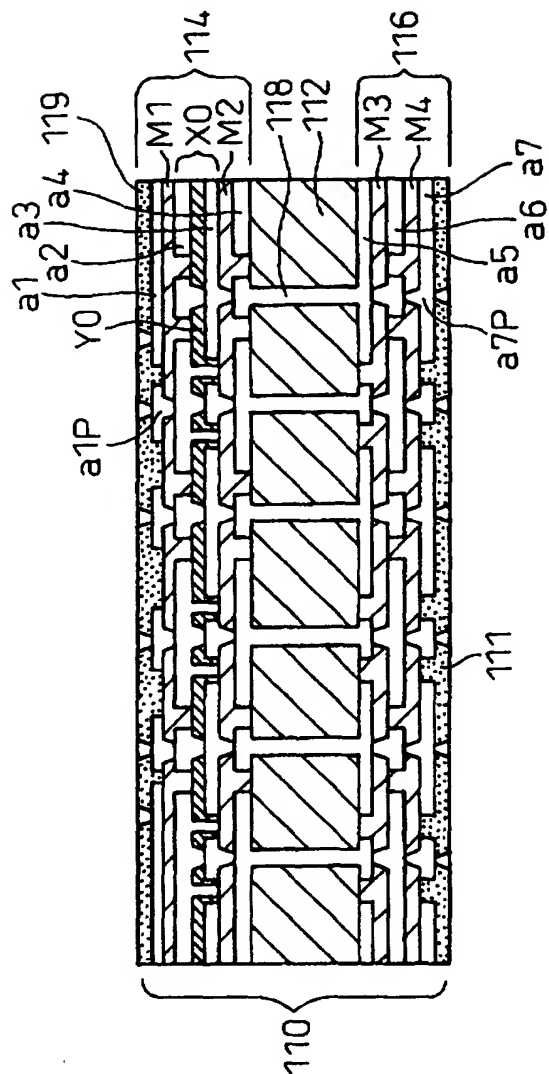
【図 37】

図 37



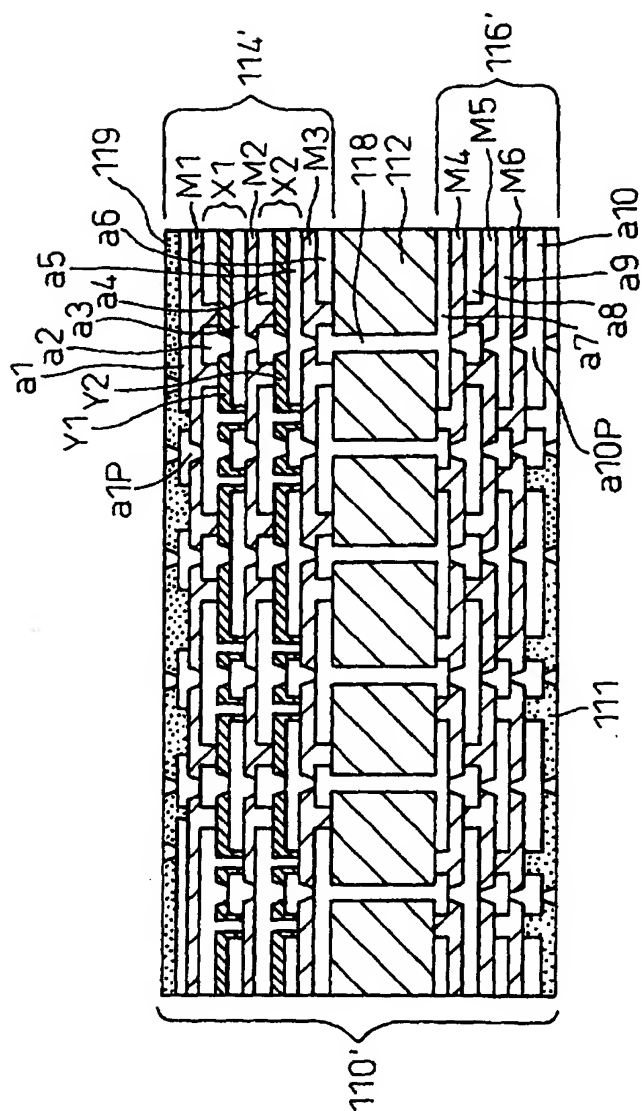
【図 38】

図 38



【図 39】

図 39



【書類名】 要約書

【要約】

【課題】 配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージとその製造方法、およびこの半導体パッケージを用いた半導体装置を提供する。

【解決手段】 多層配線構造を備え、その上面に半導体素子を搭載するための半導体パッケージにおいて、多層配線構造の最上部積層構造にキャパシタ構造を含み、該キャパシタ構造は、誘電体層が高誘電率の無機フィラーと絶縁性樹脂との混合電着層から成り、かつ上部電極および下部電極と上記半導体素子の電極とを直接接続するための素子接続用パッドを含むことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 長野県長野市大字栗田字舍利田711番地
氏 名 新光電気工業株式会社